

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274488

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 29/78

H01L 21/28

(21)Application number : 10-077901

(71)Applicant : SONY CORP

(22)Date of filing : 25.03.1998

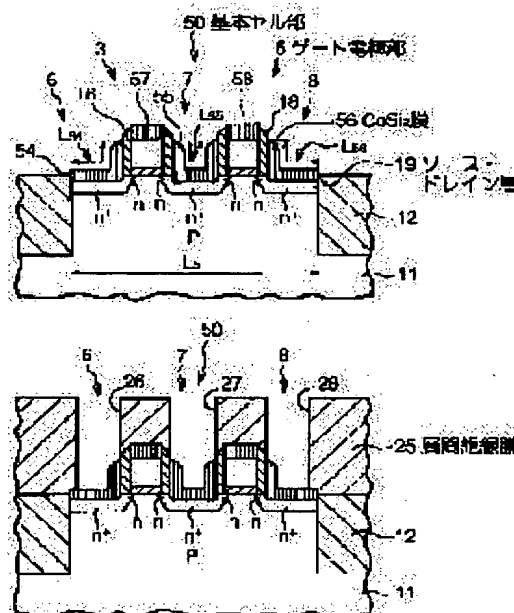
(72)Inventor : KUBOTA MICHITAKA

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce resistivity of a high fusion metal silicide film of a narrow source and drain part, integrate high and increase a speed.

**SOLUTION:** A sidewall polysilicon film formed in a lower region above a sidewall insulation film 18 and a surface of a source and drain layer 19 of source and drain parts 6, 7, 8 are made as one silicide region, whereby the silicide region in the source and drain parts 6, 7, 8 is enlarged and thereafter a silicide step is performed. Thus, CoSi<sub>2</sub> films 54, 55, 56 of low resistivity are formed in the source and drain parts 6, 7, 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274488

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 X

21/28

3 0 1

21/28

3 0 1 T

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平10-77901

(22) 出願日

平成10年(1998)3月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 窪田 通孝

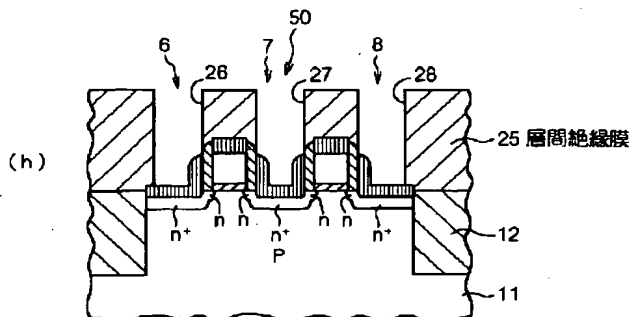
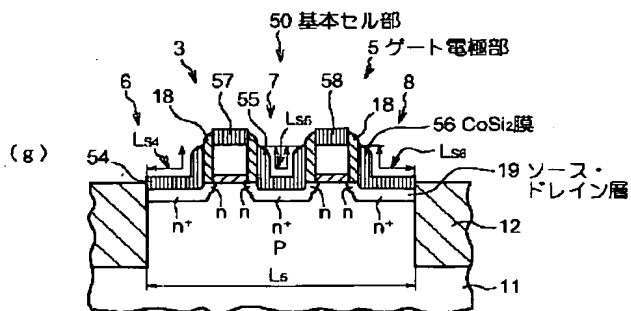
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 狭いソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化を可能にし、高集積で、高速化した半導体装置およびその製造方法を提供する。

【解決手段】 サイドウォール絶縁膜18上の下方領域に形成したサイドウォールポリシリコン膜とソース・ドレイン部6、7、8のソース・ドレイン層19表面とを一つのシリサイド化領域とすることで、ソース・ドレイン部6、7、8におけるシリサイド化領域を拡大し、その後シリサイド工程を行うことにより、ソース・ドレイン部6、7、8に低抵抗率の $\text{CoSi}_2$ 膜54、55、56を形成する。



**【特許請求の範囲】**

**【請求項1】** サリサイド構造のMOSトランジスタを含む半導体装置において、前記MOSトランジスタの、ゲート酸化膜とポリシリコンゲート電極とによるゲート電極部側壁のサイドウォール絶縁膜上の下方領域にまで広がる、ソース・ドレイン層の高融点金属シリサイド膜を有することを特徴とする半導体装置。

**【請求項2】** 前記サイドウォール絶縁膜上の下方領域の前記高融点金属シリサイド膜は、前記サイドウォール絶縁膜上の下方領域に形成したサイドウォールシリコン膜をシリサイド化したものであることを特徴とする、請求項1に記載の半導体装置。

**【請求項3】** 前記高融点金属シリサイド膜は、 $\text{CoSi}_2$  膜、 $\text{NiSi}$  膜および $\text{TiSi}_2$  膜のうち、いずれか一つの膜であることを特徴とする、請求項1に記載の半導体装置。

**【請求項4】** 前記サイドウォールシリコン膜は、アモルファスシリコン膜およびポリシリコン膜のうち、いずれか一方の膜であることを特徴とする、請求項2に記載の半導体装置。

**【請求項5】** サリサイド構造のMOSトランジスタを含む半導体装置の製造方法において、前記MOSトランジスタの、ゲート酸化膜とポリシリコンゲート電極とによるゲート電極部を形成する工程と、異方性プラズマエッチング法により、前記ゲート電極部側壁にサイドウォール絶縁膜を形成する工程と、前記MOSトランジスタのソース・ドレイン層を形成する工程と、異方性プラズマエッチング法により、前記サイドウォール絶縁膜上の下方領域に、サイドウォールシリコン膜を形成する工程と、高融点金属膜を堆積する工程と、熱処理により、前記ソース・ドレイン層表面、前記サイドウォールシリコン膜および前記ゲート電極部のポリシリコンゲート電極表面に高融点金属シリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

**【請求項6】** 前記サイドウォールシリコン膜は、アモルファスシリコン膜およびポリシリコン膜のうち、いずれか一方の膜であることを特徴とする、請求項5に記載の半導体装置の製造方法。

**【請求項7】** 前記高融点金属膜は、 $\text{Co}$  膜、 $\text{Ni}$  膜および $\text{Ti}$  膜のうち、いずれか一つの膜であることを特徴とする、請求項5に記載の半導体装置の製造方法。

**【請求項8】** 前記高融点金属シリサイド膜は、 $\text{CoSi}_2$  膜、 $\text{NiSi}$  膜および $\text{TiSi}_2$  膜のうち、いずれか一つの膜であることを特徴とする、請求項5に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は半導体装置およびその製造方法に関し、さらに詳しくは、ポリシリコンゲート電極およびソース・ドレインの表面に自己整合的に高融点金属シリサイド膜を形成する、サリサイド構造のMOSトランジスタを含む半導体装置およびその製造方法に関する。

**【0002】**

**【従来の技術】** 近年、半導体装置の高集積化、高速化、低消費電力化に伴い、半導体装置の各構成素子等の微細化や、信号の伝搬速度や消費電力等に関係する、ゲート電極や配線等の低抵抗化と配線相互間に存在する層間絶縁膜等の低誘電率化等の開発が盛んに行われている。半導体装置の高集積化のために、構成素子としてのMOSトランジスタを微細化してゆくと、高速化の要望を満たすためにゲート電極の低抵抗化が必要となる。また、微細化したMOSトランジスタにおける所望のMOSトランジスタ特性を得るために、ソース・ドレインの拡散層の接合を浅くしなければならず、このためソース・ドレインの拡散層の抵抗が問題となり、この拡散層の低抵抗化も必要となる。

**【0003】** 上述の要望より、ゲート電極の低抵抗化には、従来のポリシリコンゲート電極の代わりに、ポリシリコン膜と高融点金属シリサイド膜とを積層した、所謂ポリサイドゲート電極が用いられ、一方ソース・ドレインの拡散層の低抵抗化には、ソース・ドレインの拡散層表面を高融点金属シリサイド膜にする方法が採られている。このゲート電極のポリサイドゲート電極化と、ソース・ドレインの拡散層表面の高融点金属シリサイド膜形成を、自己整合的に同時に形成する方法、所謂サリサイド法により形成する、サリサイド構造のMOSトランジスタがある。

**【0004】** 通常、サリサイド構造のMOSトランジスタで、直線的なゲート電極で構成される基本セル部の概略構成は、図5に示すような概略平面構造になっている。ここで、図5(a)は、サリサイド構造の2個のMOSトランジスタを直結して配列した構造の基本セル部であり、図5(b)はサリサイド構造の1個のMOSトランジスタによる基本セル部である。これら基本セル部の素子領域は、一辺の長さが、例えばゲート電極幅 $W_0$ の縦方向の長さで、他方の辺の長さが $L_1$  又は $L_2$  の横方向の長さの、矩形状となっている。従って、通常最小加工寸法で設計されるゲート電極長 $L_0$  を与え、MOSトランジスタの特性に関係するゲート電極幅 $W_0$  とゲート電極長 $L_0$  の比を固定した場合の、基本セル部の素子領域の面積は、 $L_1$  又は $L_2$  の長さによるため、基本セル部を多数個有して構成される半導体装置の高集積化には、この $L_1$  又は $L_2$  を小さくする必要がある。

**【0005】** 図5(a)や図5(b)の $L_1$  又は $L_2$  を小さくして、半導体装置の高集積化を図る方法の一つと

して、図6に示すようなゲート電極を屈曲させたベントゲート電極構造を用いた基本セル部構造がある。図6

(a)はベントゲート電極構造の2個のMOSトランジスタを直結して配列した、図5(a)に対応する基本セル部構造の概略平面図であり、図6(b)はベントゲート電極構造のMOSトランジスタによる、図5(b)に対応する基本セル部構造の概略平面図である。上述したベントゲート電極構造とすることで、設計の基本となる加工寸法等を同じにしたまま、基本セル部の素子領域の、ゲート電極長方向の辺を、 $L_1$ より $L_3$ へ、又 $L_2$ より $L_4$ へと減少させることができ、基本セル部の素子領域の面積が小さくなり、半導体装置の高集積化が達成される。上述したベントゲート電極構造のMOSトランジスタで構成する基本セル部においては、ソース・ドレイン層表面にシリサイド層を形成したとしても、ゲート電極幅方向のシリサイド層抵抗が無視できなくなり、コンタクトホール部より離れた部分のソース・ドレイン電流の応答特性に影響がでて、このシリサイド層抵抗の要因による高周波動作特性が劣化し、半導体装置の高速性が犠牲となる可能性がある。

【0006】ここでは、従来の直線的なゲート電極構造で、2個のシリサイド構造のMOSトランジスタを含む基本セル部を多数個有する、高集積で、高速化した半導体装置およびその製造方法の一例を、図7および図8を参照して説明する。まず、図7(a)に示すように、P型半導体基板11表面に、トレンチ形成とそのトレンチ部への絶縁膜の形成等により素子分離領域12を形成し、その素子分離領域12で囲まれた素子領域の半導体基板11表面に、熱酸化による $SiO_2$ 膜13を形成する。その後、不純物のドーピングされていないポリシリコン膜14を、減圧CVD法等により堆積する。

【0007】次に、図7(b)に示すように、上述したポリシリコン膜14と $SiO_2$ 膜13とをパターンニングして、基本セル部1の素子領域にポリシリコンゲート電極15とゲート酸化膜16とで構成する、第1のMOSトランジスタ部2のゲート電極部3と第2のMOSトランジスタ部4のゲート電極部5を形成する。その後、イオン注入法により、ソース・ドレイン部6、7、8にN型不純物となるイオンによるイオン注入を行い、LDD(Lightly Doped Drain)層17を形成する。

【0008】次に、図7(c)に示すように、減圧CVD法等によりCVD絶縁膜を形成し、その後このCVD絶縁膜を異方性プラズマエッチング等によりエッチングして、ゲート電極部3、5側壁にサイドウォール絶縁膜18を形成する。その後、イオン注入法により、ソース・ドレイン部6、7、8にN型不純物となるイオンによる、高濃度のイオン注入を行い、 $N^+$ 型ソース・ドレイン層19を形成すると同時に、ゲート電極部3、5のポリシリコンゲート電極15にN型不純物をドーピングする。

その後、熱処理を行い、ソース・ドレイン部6、7、8や、ゲート電極部3、5のポリシリコンゲート電極15に注入したイオンの活性化を行う。

【0009】次に、図8(d)に示すように、スパッタリング法により高融点金属膜であるCo膜を堆積し、続いてまず比較的低温の熱処理を行って、ソース・ドレイン部6、7、8のソース・ドレイン層19表面やゲート電極部3、5のポリシリコンゲート電極15表面のシリコンと、Coとを反応させて、ソース・ドレイン層19表面やポリシリコンゲート電極15表面に、高融点金属シリサイド膜である、低温形成状態の $CoSi_2$ 膜を形成する。この段階で形成された低温形成状態の $CoSi_2$ 膜の抵抗率は、まだ所期の低い抵抗率にならず、高抵抗率の $CoSi_2$ 膜である。

【0010】次に、上述した比較的低温の熱処理では絶縁膜と反応しない、素子分離領域12上やサイドウォール絶縁膜18上等に堆積したCo膜、所謂未反応のCo膜を硫酸過水液で除去する。その後、高温の熱処理を行って、ソース・ドレイン部6、7、8のソース・ドレイン層19表面やゲート電極部3、5のポリシリコンゲート電極15表面の高抵抗の $CoSi_2$ 膜を、高温形成状態の、所期の低い抵抗率を持つ $CoSi_2$ 膜にし、ソース・ドレイン部6、7、8のソース・ドレイン層19表面や、ゲート電極部3、5のポリシリコンゲート電極15表面に低抵抗率の高融点金属シリサイド膜である、 $CoSi_2$ 膜20、21、22および23、24を形成する。

【0011】上述した方法により、ソース・ドレイン部6、7、8のソース・ドレイン層19表面やゲート電極部3、5のポリシリコンゲート電極15表面に自己整合的に低抵抗率の $CoSi_2$ 膜20、21、22および23、24を形成する工程、所謂シリサイド工程により、ソース・ドレイン層19部の拡散層抵抗の低減、およびゲート電極部3、5のポリシリコンゲート電極15と高融点金属シリサイド膜である $CoSi_2$ 膜23、24とによるゲート電極の抵抗低減を図っている。

【0012】次に、図8(e)に示すように、CVD法等により、層間絶縁膜25を堆積する。その後この層間絶縁膜25をパターンニングして、ソース・ドレイン部6、7、8のコンタクトホールの開口26、27、28を形成する。その後は、図面は省略するが、常法に準ずる製法により、コンタクトホールの開口26、27、28に埋め込みプラグを形成し、更にその後構成素子間等の配線形成、パッシベーション膜の堆積、配線のパッド部への開口形成等を行って、半導体装置を作製する。

【0013】しかしながら、上述した多数個の基本セル部1を含む半導体装置およびその製造方法においては、基本セル部1の素子領域の面積を縮小することで高集積化を達成しようとするために、ゲート電極部3、5やソース・ドレイン部6、7、8の面積を縮小しなければな

らないが、ゲート電極部3、5のゲート電極長 $L_0$ は最小加工寸法で形成したとしても、ソース・ドレイン部6、7、8のゲート電極長方向の長さが、層間絶縁膜25に形成するコンタクトホール26、27、28の深さと開口径の比、即ちアスペクト比が大きいこと等の関係で、通常最小加工寸法以上となり、更にコンタクトホール26、27、28と、ゲート電極部3、5や素子分離領域12との間のパターン合わせ精度も考慮したソース・ドレイン部6、7、8の長さを必要とし、その上に、半導体装置の高速化を目指す場合には、ソース・ドレイン部6、7、8のソース・ドレイン層19表面の、高融点金属シリサイド膜である、 $CoSi_2$ 膜20、21、22の低抵抗率化を可能にするための、 $CoSi_2$ 膜20、21、22の幅 $LS_1$ 、 $LS_2$ 、 $LS_3$ (図8(d)参照)を考慮したソース・ドレイン層19の長さが必要である。

【0014】上述した半導体装置の製造方法により半導体装置を作製する際の、ソース・ドレイン層19表面に形成する高融点金属シリサイド膜の低抵抗率化は、シリサイド化領域の面積、特にシリサイド化領域の短い方の幅が狭いと、低抵抗率のシリサイドの形成が困難になるという現象があり、このため $CoSi_2$ 膜20、21、22の幅 $LS_1$ 、 $LS_2$ 、 $LS_3$ (図8(d)参照)を、ある程度広く取る必要がある。上述した理由により、従来のサリサイド構造のMOSトランジスタを含む、高集積化した半導体装置およびその製造方法は、更なる高集積化を達成することが難しいという問題がある。

【0015】

【発明が解決しようとする課題】上述した如く、上記従来の半導体装置およびその製造方法は、ソース・ドレイン層表面の高融点金属シリサイド膜の低抵抗率化を達成するために、ソース・ドレイン部のゲート電極長方向の長さを所定長さ確保しなければならず、更なる高集積化した半導体装置作製が困難であるという問題があった。本発明は、上記事情を考慮してなされたものであり、その目的は、狭いソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化を可能にし、高集積で、高速化した半導体装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明の半導体装置およびその製造方法は、上述の課題を解決するために提案するものであり、本発明の半導体装置は、サリサイド構造のMOSトランジスタを含む半導体装置において、MOSトランジスタの、ゲート酸化膜とポリシリコンゲート電極とによるゲート電極部側壁のサイドウォール絶縁膜上の下方領域にまで広がる、ソース・ドレイン層の高融点金属シリサイド膜を有することを特徴とするものである。

【0017】また、本発明の半導体装置の製造方法は、サリサイド構造のMOSトランジスタを含む半導体装置

の製造方法において、MOSトランジスタの、ゲート酸化膜とポリシリコンゲート電極とによるゲート電極部を形成する工程と、異方性プラズマエッチング法により、ゲート電極部側壁にサイドウォール絶縁膜を形成する工程と、MOSトランジスタのソース・ドレイン層を形成する工程と、異方性プラズマエッチング法により、サイドウォール絶縁膜上の下方領域に、サイドウォールシリコン膜を形成する工程と、高融点金属膜を堆積する工程と、熱処理により、ソース・ドレイン層表面、サイドウォールシリコン膜およびゲート電極部のポリシリコンゲート電極表面に高融点金属シリサイド膜を形成する工程とを有することを特徴とするものである。

【0018】本発明によれば、ゲート電極部側壁のサイドウォール絶縁膜上の下方領域にサイドウォールシリコン膜を形成し、このサイドウォールシリコン膜とソース・ドレイン層表面をソース・ドレイン部のシリサイド化領域とすることにより、シリサイド化領域の幅を広げられるため、ゲート電極長方向のソース・ドレイン部幅を狭くしても、ソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化が可能となる。従って、狭いソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化を可能にし、高集積で、高速化した半導体装置の作製が可能となる。

【0019】

【発明の実施の形態】以下、本発明の具体的実施の形態例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図7および図8中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0020】本実施の形態例は、2個のサリサイド構造のMOSトランジスタを含む基本セル部を多数個有する、高集積で、高速化した半導体装置およびその製造方法に本発明を適用した例であり、これを図1～図4を参照して説明する。まず、図1(a)に示すように、半導体基板、例えばP型半導体基板11表面に、例えばトレンチ形成とそのトレンチ部への絶縁膜の形成等により素子分離領域12を形成し、その素子分離領域12で囲まれる素子領域の半導体基板11表面に熱酸化による $SiO_2$ 膜13を膜厚約5nm程度形成する。その後、例えば減圧CVD法等により、ポリシリコン膜、例えば不純物のドーパされていないポリシリコン膜14を膜厚約150nm程度堆積する。

【0021】次に、図1(b)に示すように、上述したポリシリコン膜14と $SiO_2$ 膜13とをパターニングして、基本セル部50の素子領域にポリシリコンゲート電極15とゲート酸化膜16とで構成する、第1のMOSトランジスタ部2のゲート電極部3と、第2のMOSトランジスタ部4のゲート電極部5を形成する。その後、イオン注入法により、ソース・ドレイン部6、7、8にN型不純物となるイオン、例えば砒素(As)イオンをイオン注入して、LDD(Lightly Dop

ed Drain) 層17を形成する。このAsイオンのイオン注入条件としては、例えば打ち込みエネルギー10keV、ドーズ量 $4 \times 10^{13} / \text{cm}^2$ 程度とする。なお、イオン注入時の汚染防止等のために、Asイオン注入前に、半導体基板11表面に熱酸化等によるスクリーン酸化膜を形成してもよい。このスクリーン酸化膜の形成により、ゲート電極部3、5のポリシリコンゲート電極15表面および側壁にも酸化膜が形成されるが、ポリシリコンゲート電極15表面の酸化膜は、後述するサイドウォール絶縁膜18形成時の、異方性プラズマエッチング法によるエッチバック時に除去されてしまうものである。

【0022】次に、図1(c)に示すように、減圧CVD法等により絶縁膜、例えば $\text{Si}_3\text{N}_4$ 膜を膜厚約100nm程度堆積し、その後この $\text{Si}_3\text{N}_4$ 膜を、エッチング異方性の高い、異方性プラズマエッチング法、例えばエッチング異方性の高い、RIE(Reactive Ion Etching)法を用いてエッチバックし、ゲート電極部3、5側壁に $\text{Si}_3\text{N}_4$ 膜のサイドウォール絶縁膜18を形成する。このサイドウォール絶縁膜18は、 $\text{Si}_3\text{N}_4$ 膜をエッチング異方性の高い、RIE法を用いたエッチバックで形成するために、ゲート電極部3、5側壁のサイドウォール絶縁膜18は、図1(c)に示すように、ゲート電極部3、5側壁に略平行して、 $\text{Si}_3\text{N}_4$ 膜の堆積時の膜厚と略等しい膜厚が残り、 $\text{Si}_3\text{N}_4$ 膜上面はゲート電極部3、5側壁に略平行になる。

【0023】次に、イオン注入法により、ソース・ドレイン部6、7、8にN型不純物となるイオン、例えばAsイオンによる、高濃度のイオン注入を行い、 $\text{N}^+$ 型ソース・ドレイン層19を形成すると同時に、ゲート電極部3、5のポリシリコンゲート電極15にもAsイオンを注入して、N型不純物のドーパされたポリシリコンゲート電極とする。このAsイオンのイオン注入条件は、例えば打ち込みエネルギー50keV、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ 程度とする。その後、ソース・ドレイン部6、7、8や、ゲート電極部3、5のポリシリコンゲート電極15に注入したAsイオンの活性化等のための熱処理、例えばRTA(Rapid Thermal Annealing)法による、1000℃、10sec程度の熱処理をする。

【0024】次に、図2(d)に示すように、例えば減圧CVD法により、シリコン膜、例えばポリシリコン膜を膜厚約50nm程度堆積し、その後このポリシリコン膜をパターンニングして、基本セル部50の素子分離領域12で囲まれた素子領域を覆うポリシリコンパッド部51を形成する。なお、このポリシリコンパッド部51の外縁部は、僅かに素子分離領域12上に入る位置とする。

【0025】次に、図2(e)に示すように、エッチン

グ異方性の高い、異方性プラズマエッチング法、例えばエッチング異方性の高い、RIE法を用いて、ポリシリコンパッド部51をエッチバックし、ゲート電極部3、5側壁のサイドウォール絶縁膜18上の下方領域に、サイドウォールシリコン膜であるサイドウォールポリシリコン膜52を形成する。図2(e)に示すサイドウォールポリシリコン膜52は、ポリシリコンパッド部51のエッチバックをオーバーエッチング条件で行った場合であり、この様なオーバーエッチング条件でのエッチバックを行うと、ゲート電極部3、5のポリシリコンゲート電極15もエッチングされ、ポリシリコンゲート電極15表面位置がサイドウォール絶縁膜18の先端位置より下方になる。

【0026】なお、上述したサイドウォールポリシリコン膜52形成工程を下記のようにしてもよい。まず、図1(c)に示す工程の終了後に、ポリシリコン膜を堆積する。その後上記ポリシリコン膜をエッチバックして、図2(e)に示すように、ゲート電極部3、5側壁のサイドウォール絶縁膜18上の下方領域に、サイドウォールシリコン膜であるサイドウォールポリシリコン膜52を形成する。次に、フォトレジストを塗布し、このフォトレジストをパターンニングして、基本セル部50の素子分離領域12で囲まれた素子領域を覆うようなフォトレジストパターンを形成し、このフォトレジストパターンをマスクとして、素子分離領域12上の、ゲート電極部3、5側壁のサイドウォール絶縁膜18上の下方領域に形成されたサイドウォールポリシリコン膜52をプラズマエッチング等により除去する。この様に工程順序を変えても、図2(e)に示すような、素子領域のみのゲート電極部3、5側壁のサイドウォール絶縁膜18上の下方領域に、サイドウォールポリシリコン膜52を形成することができる。

【0027】上述したオーバーエッチング条件でのポリシリコンパッド部51をエッチバックすると、ゲート電極部3、5のポリシリコンゲート電極15表面より、サイドウォールポリシリコン膜52の上端までの距離が長くなる。この様にすると、後述する高融点金属シリサイド膜である $\text{CoSi}_2$ 膜54、55、56、57、58を形成するシリサイド工程の際に、ソース・ドレイン部6、7、8の $\text{CoSi}_2$ 膜54、55、56とゲート電極部3、5の $\text{CoSi}_2$ 膜57、58とが接続する、短絡現象が抑制できる。

【0028】次に、図2(f)に示すように、例えばスパッタリング法等により、高融点金属膜、例えばCo膜53を膜厚約30nm程度堆積する。

【0029】次に、図3(g)に示すように、まず比較的低温の熱処理、例えば $\text{N}_2$ ガス雰囲気中でのRTA法による、500℃、60sec程度の熱処理をする。この熱処理により、ソース・ドレイン部6、7、8のソース・ドレイン層19表面とサイドウォール絶縁膜18上

の下方領域のサイドウォールポリシリコン膜52とで形成する一つのシリサイド化領域と、ゲート電極部3、5のポリシリコンゲート電極15表面のシリコンとCoとが反応して、ソース・ドレイン層19表面とサイドウォールポリシリコン膜52との部分、およびゲート電極部3、5のポリシリコンゲート電極15表面に高融点金属シリサイド膜である、低温形成状態の $\text{CoSi}_2$ 膜が形成される。この低温形成状態の $\text{CoSi}_2$ 膜の抵抗率は、所期の低い抵抗率とはならず、まだ高抵抗率の状態である。

【0030】次に、上記比較的低温の熱処理では絶縁膜と反応しない、素子分離領域12上や、サイドウォールポリシリコン膜52の形成されていないサイドウォール絶縁膜18上等に堆積したCo膜53、所謂未反応のCo膜53を硫酸過水液で除去する。

【0031】次に、高温の熱処理、例えば $\text{N}_2$ ガス雰囲気中でのRTA法による、 $800^\circ\text{C}$ 、30sec程度の熱処理をする。この高温の熱処理により、ソース・ドレイン層19表面よりサイドウォール絶縁膜の下方領域に形成された低温形成状態の $\text{CoSi}_2$ 膜、およびポリシリコンゲート電極15表面の低温形成状態の $\text{CoSi}_2$ 膜を、高温形成状態で所期の低い抵抗率となる、 $\text{CoSi}_2$ 膜54、55、56、および $\text{CoSi}_2$ 膜57、58に変える。

【0032】上述した方法、即ちソース・ドレイン部6、7、8やゲート電極部3、5に、自己整合的に低い抵抗率の $\text{CoSi}_2$ 膜54、55、56、および $\text{CoSi}_2$ 膜57、58等の高融点金属シリサイド膜を形成する方法、所謂サリサイド方法を用いてMOSトランジスタを形成することにより、ソース・ドレイン部6、7、8のソース・ドレイン層19の拡散層抵抗の低減、およびゲート電極抵抗の低減を図り、周波数特性の良いMOSトランジスタを形成している。

【0033】上述したサリサイド工程によるソース・ドレイン部6、7、8における $\text{CoSi}_2$ 膜54、55、56は、シリサイド化領域の幅の狭い方向の長さが、図3(g)に示す $L_{S4}$ 、 $L_{S5}$ 、 $L_{S6}$ である部分に形成されるものなので、幅の狭いシリサイド化領域に対する、低抵抗率のシリサイド膜形成の困難さが緩和される。上述した理由により、本実施の形態例の基本セル部50のソース・ドレイン部6、7、8のゲート電極長方向の長さを、従来例の基本セル部1のソース・ドレイン部6、7、8のゲート電極長方向の長さより短かくでき、従って基本セル部50の素子領域のゲート電極長方向の長さ $L_5$ （図3(g)参照）を従来例の長さ $L_1$ （図8(d)参照）より短かくできる。

【0034】次に、図3(h)に示すように、CVD法等により、例えばBPSG(Boro-Phospho Silicate Glass)等の層間絶縁膜25を堆積する。その後この層間絶縁膜25をパターニング

して、ソース・ドレイン部6、7、8のコンタクトホール開口26、27、28を形成する。その後は、図面は省略するが、常法に準ずる製法により、コンタクトホール開口26、27、28に埋め込みプラグを形成し、更にその後素子間等の配線形成、パッシベーション膜の堆積、配線のパッド部への開口形成等を行って、半導体装置を作製する。

【0035】上述した半導体装置の基本セル部50の概略平面図を、従来技術の説明に用いた図5(a)と対応させて示したのが、図4(a)である。この基本セル部50の素子領域におけるゲート電極長方向の長さ $L_5$ は、シリサイド膜の低抵抗率化が容易になったために、図5(a)に示す従来の素子領域におけるゲート電極長方向の長さ $L_1$ より短くできる。

【0036】また、上述した半導体装置およびその製造方法は、直線的なゲート電極部3、5形状の基本セル部50で説明したが、ゲート電極が屈曲した、ベントゲート電極による基本セル部構造の場合にも、上述したと同様に半導体装置が作製でき、この時の半導体装置の基本セル部の概略平面図を、従来技術の説明に用いた図6(a)と対応させて示したのが、図4(b)である。このベントゲート電極による基本セル部の素子領域におけるゲート電極長方向の長さ $L_6$ も、本発明を適用すれば、シリサイド膜の低抵抗率化が容易になったために、図6(a)に示す従来の素子領域におけるゲート電極長方向の長さ $L_3$ より短くできる。

【0037】更に、1個のMOSトランジスタによる基本セル部の場合の、従来技術の説明に用いた図5(b)および図6(b)に対応する、本発明を適用した半導体装置の基本セル部における素子領域におけるゲート電極長方向の長さも、従来例より短くできることは明らかである。また、従来例ではベントゲート電極による基本セル部構成を採った時、コンタクトホール近傍以外の領域でソース・ドレイン部の幅を、最小加工寸法程度に狭くするソース・ドレイン層表面の高融点金属シリサイド膜の抵抗が高くなり、高融点金属シリサイド膜抵抗の要因による高周波動作特性が劣化して、半導体装置の高速化が犠牲となる可能性があったが、本発明を適用すれば、コンタクトホール近傍以外の狭いソース・ドレイン層表面にも低抵抗率の高融点金属シリサイド膜を形成できるので、ベントゲート電極のMOSトランジスタによる基本セル部構成を採っても、高周波動作特性の劣化が抑制されて、半導体装置の高速化が可能となる。

【0038】上述した半導体装置およびその製造方法においては、ゲート電極部3、5側壁のサイドウォール絶縁膜18上の下方領域にサイドウォールポリシリコン膜52を形成し、このサイドウォールポリシリコン膜52と、ソース・ドレイン部6、7、8のソース・ドレイン層19とを一つのシリサイド化領域として、ソース・ドレイン部6、7、8に $\text{CoSi}_2$ 膜54、55、56を

形成するため、シリサイド化領域の減少、特に幅の狭い方の減少による、高融点金属シリサイド膜の低抵抗率が困難となる現象を抑制でき、ソース・ドレイン部6、7、8に低抵抗率の $\text{CoSi}_2$ 膜54、55、56が形成できる。また、サイドウォール絶縁膜18上の下方領域にサイドウォールポリシリコン膜52を形成する際、オーバーエッチング条件でポリシリコンパッド部51をエッチバックすると、ゲート電極部3、5のポリシリコンゲート電極15表面位置がサイドウォール絶縁膜18の先端位置より下方になり、シリサイド工程の際に、ソース・ドレイン部6、7、8の $\text{CoSi}_2$ 膜54、55、56とゲート電極部3、5の $\text{CoSi}_2$ 膜57、58とが接続して短絡する現象を抑制することができる。

【0039】以上、本発明を実施の形態例により説明したが、本発明はこの実施の形態例に何ら限定されるものではない。例えば、本発明の実施の形態例では、基本セル部のシリサイド構造のMOSトランジスタをN型MOSトランジスタにより説明したが、P型MOSトランジスタでも、又1個のN型MOSトランジスタによる基本セル部と1個のP型MOSトランジスタによる基本セル部とによるCMOS型MOSトランジスタであってもよいことは明白である。また、本発明の実施の形態例では、サイドウォール絶縁膜を $\text{Si}_3\text{N}_4$ 膜として説明したが、TEOS (Tetraethyl orthosilicate) 酸化膜、 $\text{CVDSiO}_2$ 膜、 $\text{SiON}$ 膜、 $\text{SiOF}$ 膜等の絶縁膜であってもよい。更に、本発明の実施の形態例では、サイドウォール絶縁膜上の下方領域に形成したシリコン膜をポリシリコン膜として説明したが、アモルファスシリコン膜であってもよい。

【0040】また、本発明の実施の形態例では、高融点金属膜に $\text{Co}$ 膜を用い、高融点金属シリサイド膜を $\text{CoSi}_2$ 膜として説明したが、 $\text{Ni}$ 膜、 $\text{Ti}$ 膜等の高融点金属膜を用い、高融点金属シリサイド膜を $\text{NiSi}$ 膜、 $\text{TiSi}_2$ 膜等としてもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

#### 【0041】

【発明の効果】以上の説明から明らかなように、本発明のシリサイド構造のMOSトランジスタを含む半導体装置およびその製造方法は、ゲート電極部側壁のサイドウォール絶縁膜上の下方領域にサイドウォールシリコン膜を形成し、このサイドウォールシリコン膜とソース・ドレイン層表面をソース・ドレイン部のシリサイド化領域とすることにより、シリサイド化領域の幅を広げられるため、ゲート電極長方向のソース・ドレイン部幅を狭くしても、ソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化が可能となる。また、サイドウォールシリコン膜形成時の異方性プラズマエッチング条件をオーバーエッチング条件とすることで、シリサイド工程におけるゲート電極部の高融点金属シリサイド膜とソース・ド

レイン部の高融点金属シリサイド膜とが接続する、短絡現象が抑制できる。従って、狭いソース・ドレイン部の高融点金属シリサイド膜の低抵抗率化を可能にし、高集積で、高速化した半導体装置の作製が可能となる。

#### 【図面の簡単な説明】

【図1】本発明を適用した実施の形態例の工程を工程順に説明する、半導体装置の基本セル部の概略断面図で、

(a)は半導体基板表面に $\text{SiO}_2$ 膜を形成し、その後ポリシリコン膜を堆積した状態、(b)は第1のMOSトランジスタ部と第2のMOSトランジスタ部のゲート電極部を形成し、その後LDD層を形成した状態、

(c)はゲート電極部側壁にサイドウォール絶縁膜を形成し、その後ソース・ドレイン層を形成した状態である。

【図2】本発明を適用した実施の形態例の、図1に続く工程を工程順に説明する、半導体装置の基本セル部の概略断面図で、(d)はポリシリコン膜を堆積し、その後パターニングしてポリシリコンパッド部を形成した状態、(e)はポリシリコンパッド部をエッチバックして、サイドウォール絶縁膜上の下方領域にサイドウォールポリシリコン膜を形成した状態、(f)はスパッタリング法により $\text{Co}$ 膜を堆積した状態である。

【図3】本発明を適用した実施の形態例の、図2に続く工程を工程順に説明する、半導体装置の基本セル部の概略断面図で、(g)はシリサイド工程により、ソース・ドレイン部およびゲート電極部に $\text{CoSi}_2$ 膜を形成した状態、(h)は層間絶縁膜を堆積した後、ソース・ドレイン部にコンタクトホールを開口を形成した状態である。

【図4】本発明を適用した実施の形態例の基本セル部の概略平面図で、(a)は直線的なゲート電極のMOSトランジスタによる基本セル部の概略平面図で、(b)はゲート電極が折れ曲がった、ベントゲート電極のMOSトランジスタによる基本セル部の概略平面図である。

【図5】従来の半導体装置の基本セル部の概略平面図で、(a)は直線的なゲート電極の、2個のMOSトランジスタによる基本セル部の概略平面図で、(b)は直線的なゲート電極の、1個のMOSトランジスタによる基本セル部の概略平面図である。

【図6】従来の半導体装置の基本セル部の概略平面図で、(a)はベントゲート電極の、2個のMOSトランジスタによる基本セル部の概略平面図で、(b)はベントゲート電極の、1個のMOSトランジスタによる基本セル部の概略平面図である。

【図7】従来の半導体装置の工程を工程順に説明する、半導体装置の基本セル部の概略断面図で、(a)は半導体基板表面に $\text{SiO}_2$ 膜を形成し、その後ポリシリコン膜を堆積した状態、(b)は第1のMOSトランジスタ部と第2のMOSトランジスタ部のゲート電極部を形成し、その後LDD層を形成した状態、(c)はゲート電



極部側壁にサイドウォール絶縁膜を形成し、その後ソース・ドレイン層を形成した状態である。

【図8】従来の半導体装置の、図7に続く工程を工程順に説明する、半導体装置の基本セル部の概略断面図で、

(d) はサリサイド工程により、ソース・ドレイン部およびゲート電極部に  $\text{CoSi}_2$  膜を形成した状態、

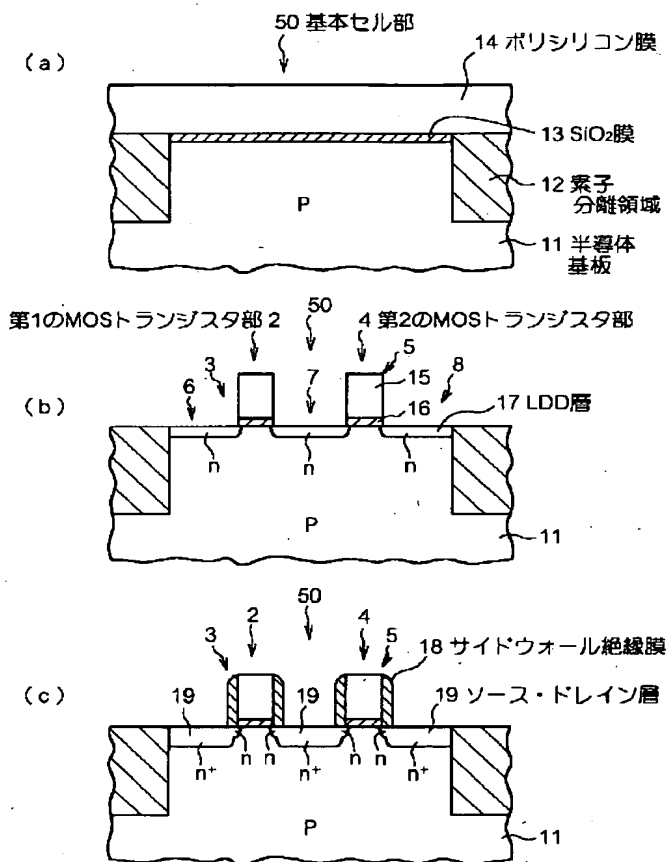
(e) は層間絶縁膜を堆積した後、ソース・ドレイン部にコンタクトホールを開口を形成した状態である。

【符号の説明】

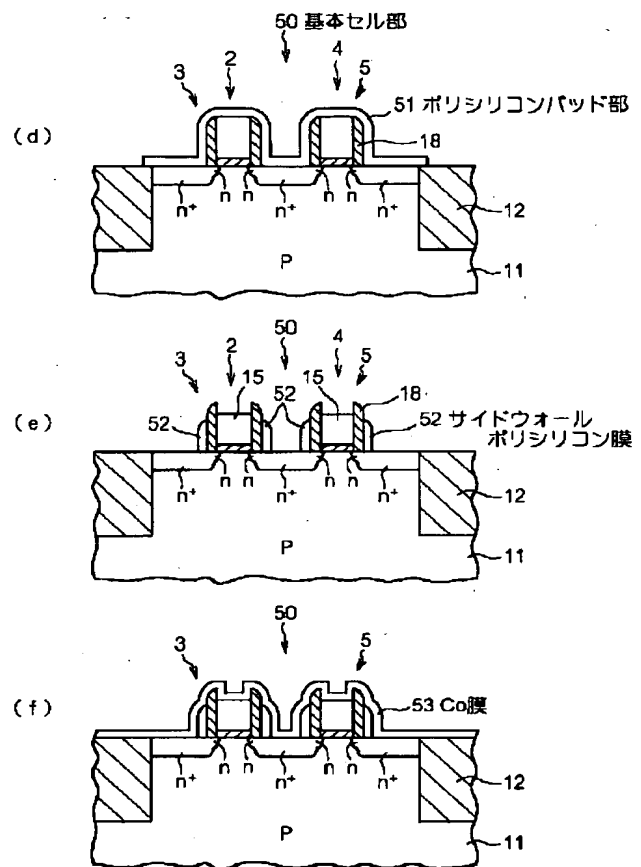
1, 50…基本セル部、2…第1のMOSトランジスタ

部、3、5…ゲート電極部、4…第2のMOSトランジスタ部、6, 7, 8…ソース・ドレイン部、11…半導体基板、12…素子分離領域、13… $\text{SiO}_2$  膜、14…ポリシリコン膜、15…ポリシリコンゲート電極、16…ゲート酸化膜、17…LDD層、18…サイドウォール絶縁膜、19…ソース・ドレイン層、20, 21, 22, 23, 24, 54, 55, 56, 57, 58… $\text{CoSi}_2$  膜、25…層間絶縁膜、26, 27, 28…開口、51…ポリシリコンパッド部、52…サイドウォールポリシリコン膜、53… $\text{Co}$  膜

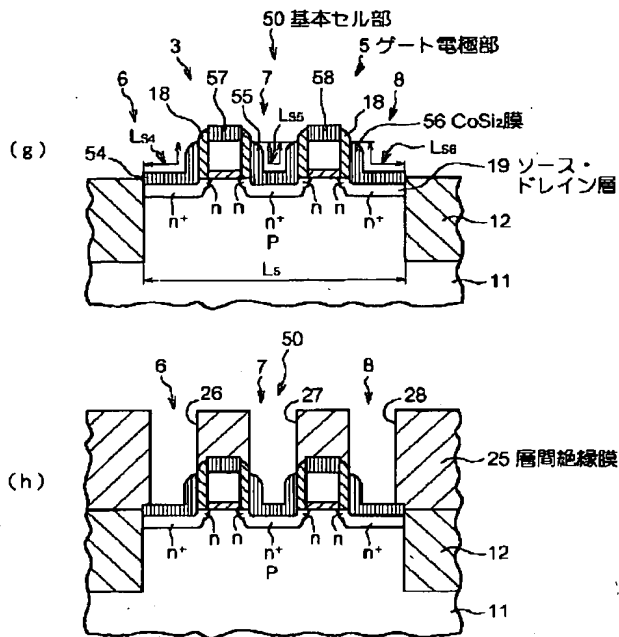
【図1】



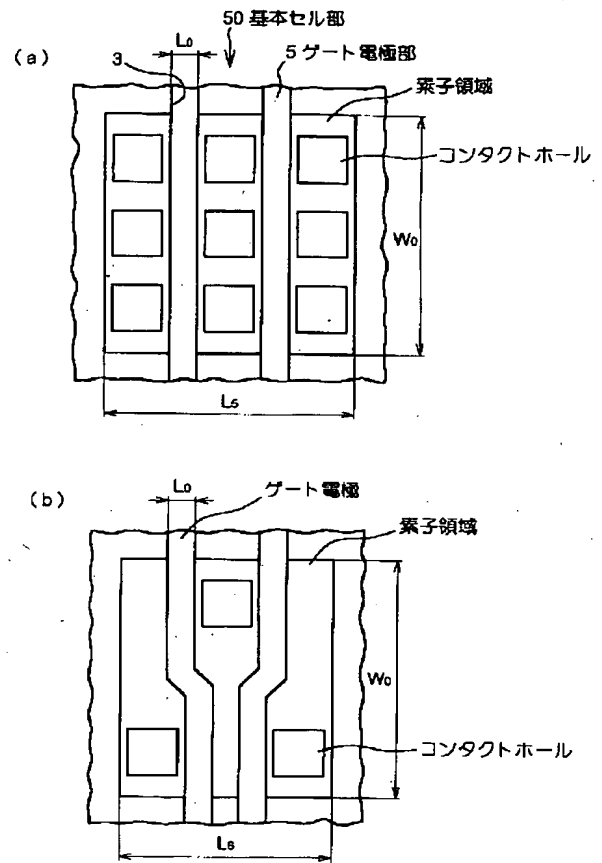
【図2】



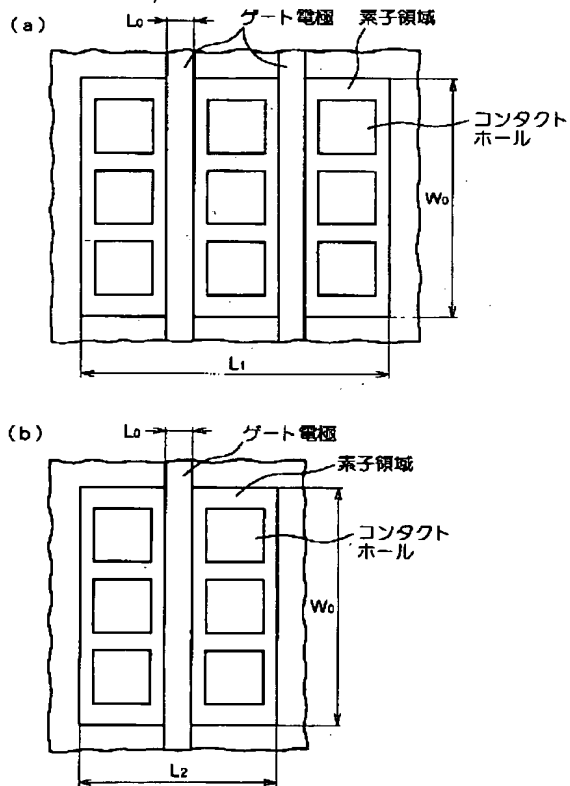
【図3】



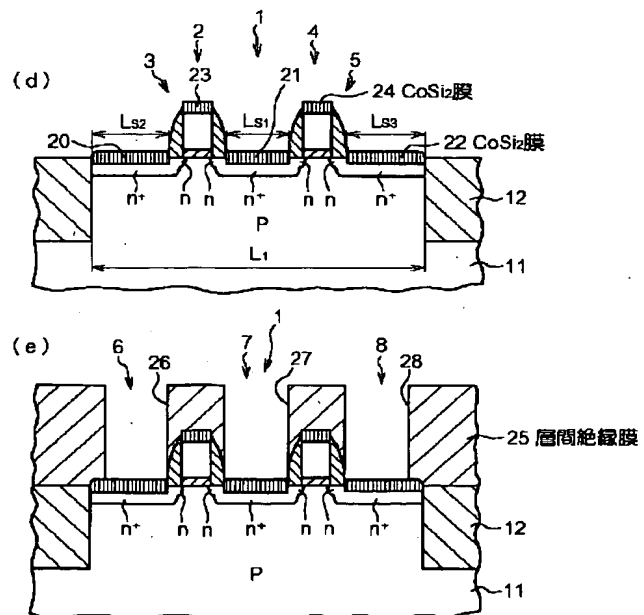
【図4】



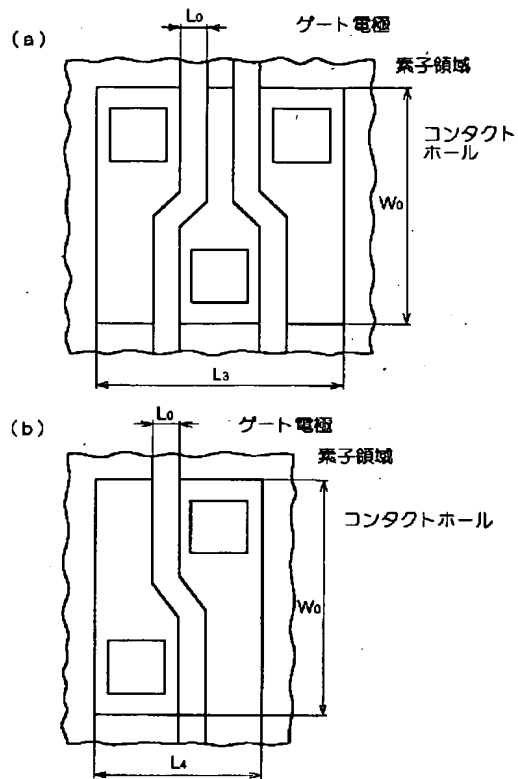
【図5】



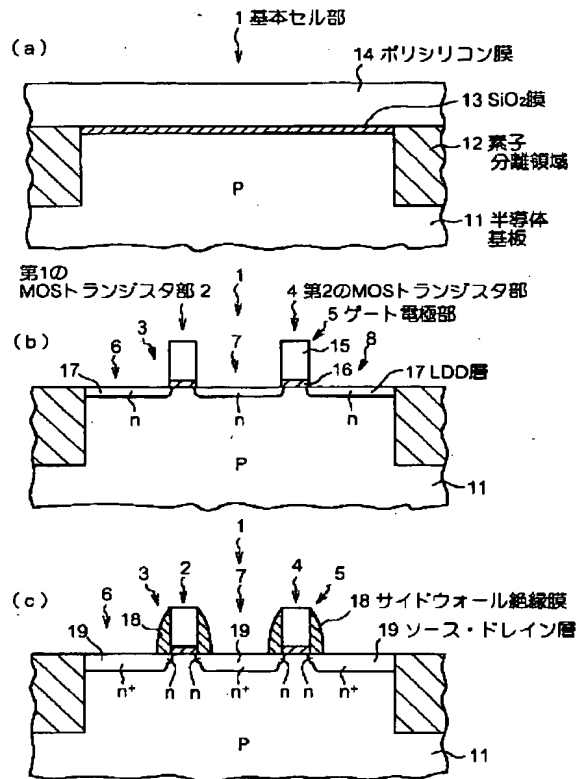
【図8】



【図6】



【図7】



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the refractory-metal silicide film of the source drain layer which spreads even to the lower part field on the sidewall insulator layer of the gate polar-zone side attachment wall by the gate oxide film and the poly silicon-gate electrode of the aforementioned MOS transistor in the semiconductor device containing the MOS transistor of the Salicide structure.

[Claim 2] The aforementioned refractory-metal silicide film of the lower part field on the aforementioned sidewall insulator layer is a semiconductor device according to claim 1 characterized by silicide-izing the sidewall silicon film formed in the lower part field on the aforementioned sidewall insulator layer.

[Claim 3] The aforementioned refractory-metal silicide film is CoSi<sub>2</sub>. A film, a NiSi film, and TiSi<sub>2</sub> Semiconductor device according to claim 1 characterized by being any one film among films.

[Claim 4] The aforementioned sidewall silicon film is a semiconductor device according to claim 2 characterized by being one of films among an amorphous silicon film and a polysilicon contest film.

[Claim 5] The manufacture method of the semiconductor device containing the MOS transistor of the Salicide structure characterized by providing the following. The process which forms the gate polar zone by the gate oxide film and the poly silicon-gate electrode of the aforementioned MOS transistor. The process which forms a sidewall insulator layer in the aforementioned gate polar-zone side attachment wall by the anisotropy plasma etching method. The process which forms the source drain layer of the aforementioned MOS transistor. The process which forms a sidewall silicon film in

the lower part field on the aforementioned sidewall insulator layer by the anisotropy plasma etching method, the process which deposits a high-melting point metal membrane, and the process which forms a refractory-metal silicide film in the poly silicon-gate electrode front face of the aforementioned source drain layer front face, the aforementioned sidewall silicon film, and the aforementioned gate polar zone with heat treatment.

[Claim 6] The aforementioned sidewall silicon film is the manufacture method of a semiconductor device according to claim 5 characterized by being one of films among an amorphous silicon film and a polysilicon contest film.

[Claim 7] The aforementioned high-melting point metal membrane is the manufacture method of a semiconductor device according to claim 5 characterized by being any one film among Co film, nickel film, and Ti film.

[Claim 8] The aforementioned refractory-metal silicide film is  $\text{CoSi}_2$ . A film, a  $\text{NiSi}$  film, and  $\text{TiSi}_2$  The manufacture method of a semiconductor device according to claim 5 characterized by being any one film among films.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device containing the MOS transistor of the Salicide structure which forms a refractory-metal silicide film in the front face of the poly silicon-gate electrode and a source drain at a self-adjustment target, and its manufacture method in more detail about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] In recent years, development of the reduction in resistance of a gate electrode, wiring, etc. related to detailed-izing, velocity of propagation of a signal, power consumption, etc. of each constituent child of a semiconductor device etc., the reduction in the dielectric constant of the layer insulation film which exists between wiring, etc. is briskly performed with high integration of a semiconductor device, improvement in the speed, and low-power-izing. When the MOS transistor as a constituent child is minutely turned for high integration of a semiconductor device, in

order to fill the request of improvement in the speed, low resistance-ization of a gate electrode is needed. Moreover, in order to acquire the MOS transistor property of the request in the MOS transistor which turned minutely, junction of the diffusion layer of a source drain must be made shallow, resistance of the diffusion layer of a source drain poses a problem, and low resistance-ization of this diffusion layer is also needed for this reason.

[0003] From the above-mentioned request, the so-called polycide gate electrode which carried out the laminating of a polysilicon contest film and the refractory-metal silicide film is used for low resistance-ization of a gate electrode instead of the conventional poly silicon-gate electrode, and, on the other hand, the method of using the diffusion layer front face of a source drain as a refractory-metal silicide film is taken by low resistance-ization of the diffusion layer of a source drain. There is an MOS transistor of the Salicide structure formed by the method of forming simultaneously the refractory-metal silicide film formation on the formation of a polycide gate electrode of this gate electrode and the front face of a diffusion layer of a source drain in a self-adjustment target and the so-called Salicide method.

[0004] Usually, the outline composition of the primitive cell section which consists of MOS transistors of the Salicide structure by the linear gate electrode has the outline planar structure as shown in drawing 5 . Here, drawing 5 (a) is the primitive cell section of structure which linked directly and arranged two MOS transistors of the Salicide structure, and drawing 5 (b) is the primitive cell section by one MOS transistor of the Salicide structure. For the element field of these primitive cell section, a length of one side is the gate electrode width of face  $W_0$ . It is the lengthwise length and the length of the side of another side is  $L_1$ . Or  $L_2$  It is the shape of a rectangle of the lateral length. Therefore, gate electrode length  $L_0$  usually designed with the minimum processing size It gives. Gate electrode width of face  $W_0$  related to the property of an MOS transistor Gate electrode length  $L_0$  The area of the element field of the primitive cell section at the time of fixing a ratio  $L_1$  Or  $L_2$  In high integration of the semiconductor device constituted by having much primitive cell sections in order to be based on length, it is this  $L_1$ . Or it is necessary to make  $L_2$  small.

[0005]  $L_1$  of drawing 5 (a) and drawing 5 (b) Or  $L_2$  It is made small and there is primitive cell section structure using the vent gate electrode structure where the gate electrode as shown in drawing 6 was made crooked as one of the methods which attains high integration of a semiconductor device. Drawing 6 (a) is the outline plan of the primitive cell section structure corresponding to drawing 5 (a) which linked directly and arranged two MOS transistors of vent gate electrode structure, and drawing 6 (b) is the

outline plan of the primitive cell section structure corresponding to drawing 5 (b) by the MOS transistor of vent gate electrode structure. It is the side of the direction of gate electrode length of the element field of the primitive cell section, making the same the processing size which is to the foundations of a design by considering as the vent gate electrode structure mentioned above L1 L3 Moreover, L2 L4 It can be made to decrease, the area of the element field of the primitive cell section becomes small, and high integration of a semiconductor device is attained. In the primitive cell section constituted from an MOS transistor of the vent gate electrode structure mentioned above, the response characteristic of the source drain current of a portion which it becomes impossible to have disregarded silicide layer resistance of the gate electrode cross direction though the silicide layer was formed in the source drain layer front face, and is separated from the contact hole section may be affected, the high-frequency-operation property by the factor of this silicide layer resistance may deteriorate, and the rapidity of a semiconductor device may fall victim.

[0006] Here, an example of the semiconductor device which has much primitive cell sections containing the MOS transistor of two Salicide structures with the conventional linear gate electrode structure and which was accelerated by high accumulation, and its manufacture method is explained with reference to drawing 7 and drawing 8 . First, SiO<sub>2</sub> according to thermal oxidation to semiconductor substrate 11 front face of the element field which formed the isolation field 12 in P type semiconductor substrate 11 front face by trench formation, formation of the insulator layer to the trench section, etc., and was surrounded in the isolation field 12 as shown in drawing 7 (a) A film 13 is formed. Then, the polysilicon contest film 14 with which an impurity is not doped is deposited by reduced pressure CVD etc.

[0007] Next, the polysilicon contest film 14 and SiO<sub>2</sub> which were mentioned above as shown in drawing 7 (b) Patterning of the film 13 is carried out and the gate electrode section 5 of the gate electrode section 3 of the 1st MOS transistor section 2 and the 2nd MOS transistor section 4 constituted from a poly silicon-gate electrode 15 and a gate oxide film 16 is formed in the element field of the primitive cell section 1. Then, with ion-implantation, the ion implantation by the ion which serves as an N type impurity at the source drain sections 6, 7, and 8 is performed, and the LDD (Lightly Doped Drain) layer 17 is formed.

[0008] Next, as shown in drawing 7 (c), a CVD insulator layer is formed by reduced pressure CVD etc., this CVD insulator layer is \*\*\*\*\*ed by anisotropy plasma etching etc. after that, and the sidewall insulator layer 18 is formed in the gate electrode section 3 and five side attachment walls. Then, the high-concentration ion

implantation by the ion which serves as an N type impurity at the source drain sections 6, 7, and 8 is performed with ion-implantation, and it is N+. An N type impurity is doped to the poly silicon-gate electrode 15 of the gate electrode sections 3 and 5 at the same time it forms the type source drain layer 19. Then, it heat-treats and the ion injected into the poly silicon-gate electrode 15 of the source drain sections 6, 7, and 8 and the gate electrode sections 3 and 5 is activated.

[0009] Next, as shown in drawing 8 (d), Co film which is a high-melting point metal membrane is deposited by the sputtering method. Low temperature is heat-treated comparatively first. Then, the silicon of source drain layer 19 front face of the source drain sections 6, 7, and 8, or poly silicon-gate electrode 15 front face of the gate polar zone 3 and 5, CoSi<sub>2</sub> of the low-temperature formation state which Co is made to react and is a refractory-metal silicide film on source drain layer 19 front face or poly silicon-gate electrode 15 front face A film is formed. CoSi<sub>2</sub> of the low-temperature formation state formed in this stage Membranous resistivity does not turn into expected low resistivity yet, but is CoSi<sub>2</sub> of high resistivity. It is a film.

[0010] Next, sulfuric-acid filtered-water liquid removes comparatively Co film deposited on the isolation [ with which it mentioned above ] field 12 top which does not react with an insulator layer, or sidewall insulator layer 18 superiors, and the so-called unreacted Co film at low-temperature heat treatment. then, hot heat treatment -- carrying out -- CoSi<sub>2</sub> [ of source drain layer 19 front face of the source drain sections 6, 7, and 8, or poly silicon-gate electrode 15 front face of the gate electrode sections 3 and 5 ] of high resistance A film CoSi<sub>2</sub> with the expected low resistivity of an elevated-temperature formation state It is made a film. Source drain layer 19 front face of the source drain sections 6, 7, and 8, CoSi<sub>2</sub> which is the refractory-metal silicide film of low resistivity [ front face / poly silicon-gate electrode 15 / of the gate electrode sections 3 and 5 ] Films 20, 21, and 22, and 23 and 24 are formed.

[0011] the method mentioned above -- source drain layer 19 front face of the source drain sections 6, 7, and 8, and poly silicon-gate electrode 15 front face of the gate electrode sections 3 and 5 -- self -- conformable -- CoSi<sub>2</sub> of low resistivity According to the process which forms films 20, 21, and 22, and 23 and 24, and the so-called Salicide process CoSi<sub>2</sub> which are reduction of diffusion layer resistance of the source drain layer 19 section, and the poly silicon-gate electrode 15 and refractory-metal silicide film of the gate electrode sections 3 and 5 Resistance reduction of the gate electrode by films 23 and 24 is aimed at.

[0012] Next, as shown in drawing 8 (e), the layer insulation film 25 is deposited by CVD etc. Patterning of this layer insulation film 25 is carried out after that, and the openings



26, 27, and 28 of the contact hole of the source drain sections 6, 7, and 8 are formed. After that, although a drawing is omitted, by the process according to a conventional method, it is embedded at the openings 26, 27, and 28 of a contact hole, forms a plug, performs wiring formation between constituent children etc., deposition of a passivation film, opening formation in the pad section of wiring, etc. after that further, and produces a semiconductor device.

[0013] However, it sets to the semiconductor device containing many primitive cell sections 1 mentioned above, and its manufacture method. In order to attain high integration by reducing the area of the element field of the primitive cell section 1 Although the area of the gate polar zone 3 and 5 or the source drain sections 6, 7, and 8 must be reduced, it is the gate electrode length  $L_0$  of the gate polar zone 3 and 5. Though formed with the minimum processing size The depth of the openings 26, 27, and 28 of the contact hole which the length of the direction of gate electrode length of the source drain sections 6, 7, and 8 forms in the layer insulation film 25 and the ratio of the diameter of opening, i.e., an aspect ratio, by relations, such as a large thing It becomes more than the minimum processing size. further Usually, the openings 26, 27, and 28 of a contact hole, The length of the source drain sections 6, 7, and 8 also in consideration of the pattern doubling precision between the gate polar zone 3 and 5 or the isolation field 12 is needed. In aiming at improvement in the speed of a semiconductor device moreover It is the refractory-metal silicide film of source drain layer 19 front face of the source drain sections 6, 7, and 8.  $\text{CoSi}_2$   $\text{CoSi}_2$  for enabling low resistivity-ization of films 20, 21, and 22 The length of the source drain layer 19 in consideration of the width of face LS1, LS2, and LS3 (refer to drawing 8 (d)) of films 20, 21, and 22 is required.

[0014] Low resistivity-ization of the refractory-metal silicide film formed in source drain layer 19 front face at the time of producing a semiconductor device by the manufacture method of the semiconductor device mentioned above When the area of a silicide-ized field, especially width of face with a shorter silicide-ized field are narrow, there is a phenomenon in which formation of the silicide of low resistivity becomes difficult, and, for this reason, it is  $\text{CoSi}_2$ . It is necessary to take the to some extent large width of face LS1, LS2, and LS3 (to refer to drawing 8 (d)) of films 20, 21, and 22. For the reason mentioned above, there is a problem that it is difficult for the semiconductor device containing the MOS transistor of the conventional Salicide structure integrated highly and its manufacture method to attain the further high integration.

[0015]

[Problem(s) to be Solved by the Invention] As mentioned above, in order to attain low resistivity-ization of the refractory-metal silicide film of a source drain layer front face,

the semiconductor device and its manufacture method of the above-mentioned former had to carry out the predetermined length reservation of the length of the direction of gate electrode length of the source drain section, and had the problem that the further semiconductor device production integrated highly was difficult. this invention is made in consideration of the above-mentioned situation, and the purpose enables low resistivity-ization of the refractory-metal silicide film of the narrow source drain section, is high accumulation, and is to offer the accelerated semiconductor device and its manufacture method.

[0016]

[Means for Solving the Problem] The semiconductor device and its manufacture method of this invention are proposed in order to solve an above-mentioned technical problem, and it is characterized by the semiconductor device of this invention having the refractory-metal silicide film of the source drain layer which spreads even to the lower part field on the sidewall insulator layer of the gate polar-zone side attachment wall by the gate oxide film and the poly silicon-gate electrode of an MOS transistor in the semiconductor device containing the MOS transistor of the Salicide structure.

[0017] Moreover, the manufacture method of the semiconductor device of this invention is set to the manufacture method of the semiconductor device containing the MOS transistor of the Salicide structure. By the process which forms the gate polar zone by the gate oxide film and the poly silicon-gate electrode of an MOS transistor, and the anisotropy plasma etching method By the process which forms a sidewall insulator layer in a gate polar-zone side attachment wall, the process which forms the source drain layer of an MOS transistor, and the anisotropy plasma etching method With the process which forms a sidewall silicon film in the lower part field on a sidewall insulator layer, the process which deposits a high-melting point metal membrane, and heat treatment It is characterized by having the process which forms a refractory-metal silicide film in the poly silicon-gate electrode front face of a source drain layer front face, a sidewall silicon film, and the gate polar zone.

[0018] Since the width of face of a silicide-ized field can be expanded by forming a sidewall silicon film in the lower part field on the sidewall insulator layer of a gate polar-zone side attachment wall, and making this sidewall silicon film and a source drain layer front face into the silicide-ized field of the source drain section according to this invention, even if it narrows source drain \*\*\*\* of the direction of gate electrode length, low resistivity-ization of the refractory-metal silicide film of the source drain section is attained. Therefore, low resistivity-ization of the refractory-metal silicide film of the narrow source drain section is enabled, and it becomes producible [ the

semiconductor device accelerated by high accumulation ].

[0019]

[Embodiments of the Invention] Hereafter, with reference to an accompanying drawing, it explains about the example of a gestalt of concrete operation of this invention. In addition, the same reference mark shall be given to the component in drawing 7 referred to by explanation of the conventional technology, and drawing 8, and the same component.

[0020] The example of a gestalt of this operation is an example which applied this invention to the semiconductor device which has much primitive cell sections containing the MOS transistor of two Salicide structures, and which is high accumulation and was accelerated, and its manufacture method, and explains this with reference to drawing 1 - drawing 4. First, SiO<sub>2</sub> according to thermal oxidation to semiconductor substrate 11 front face of the element field which forms the isolation field 12 in semiconductor substrate, for example, P type semiconductor substrate, 11 front face by for example, trench formation, formation of the insulator layer to the trench section, etc., and is surrounded in the isolation field 12 as shown in drawing 1 (a) A film 13 is formed about about 5nm of thickness. Then, the polysilicon contest film 14, for example, the polysilicon contest film with which an impurity is not doped, is deposited about about 150nm of thickness, for example by reduced pressure CVD etc.

[0021] Next, the polysilicon contest film 14 and SiO<sub>2</sub> which were mentioned above as shown in drawing 1 (b) Patterning of the film 13 is carried out and the gate polar zone 5 of the gate polar zone 3 of the 1st MOS transistor section 2 constituted from a poly silicon-gate electrode 15 and a gate oxide film 16 and the 2nd MOS transistor section 4 is formed in the element field of the primitive cell section 50. Then, with ion-implantation, the ion implantation of the ion used as an N type impurity, for example, the arsenic (As) ion, is carried out to the source drain sections 6, 7, and 8, and the LDD (Lightly Doped Drain) layer 17 is formed. As ion-implantation conditions for this As ion, it is placing energy 10keV and dose 4E13/cm<sup>2</sup>, for example. It considers as a grade. In addition, you may form the screen oxide film by thermal oxidation etc. in semiconductor substrate 11 front face before As ion implantation for the pollution control at the time of an ion implantation etc. Although an oxide film is formed also in poly silicon-gate electrode 15 front face and side attachment wall of the gate polar zone 3 and 5 of formation of this screen oxide film, the oxide film of poly silicon-gate electrode 15 front face will be removed at the time of the etchback by the anisotropy plasma etching method at the time of the sidewall insulator layer 18 formation mentioned later.

[0022] Next, as shown in drawing 1 (c), it is insulator layer, for example, Si, 3N4 by

reduced pressure CVD etc. A film is deposited about about 100nm of thickness, and it is this Si<sub>3</sub>N<sub>4</sub> after that. Etchback of the film is carried out using the high, the anisotropy plasma etching method, for example, an etching anisotropy is high, RIE (Reactive Ion Etching) method, and it is Si<sub>3</sub>N<sub>4</sub> to the gate polar zone 3 and five side attachment walls. This sidewall insulator layer 18 is Si<sub>3</sub>N<sub>4</sub>. In order to form a film by the etchback using the RIE method an etching anisotropy is high The gate polar zone 3 and the sidewall insulator layer 18 of five side attachment walls carry out abbreviation parallel at the gate polar zone 3 and five side attachment walls, as shown in drawing 1 (c), and they are Si<sub>3</sub>N<sub>4</sub>. The thickness at the time of membranous deposition, abbreviation, etc. are by carrying out, thickness remains, and the Si<sub>3</sub>N<sub>4</sub> film upper surface becomes abbreviation parallel on the gate polar zone 3 and five side attachment walls.

[0023] Next, the high-concentration ion implantation by the ion which serves as an N type impurity at the source drain sections 6, 7, and 8, for example, As ion, is performed with ion-implantation, and it is N+. As ion is injected also into the poly silicon-gate electrode 15 of the gate polar zone 3 and 5, and it considers as the poly silicon-gate electrode by which the N type impurity was doped at the same time it forms the type source drain layer 19. The ion-implantation conditions of this As ion are for example, placing energy 50keV and dose 3E15/cm<sup>2</sup>. It considers as a grade. Then, 1000 degrees C by heat treatment for the source drain sections 6, 7, and 8, activation of As ion injected into the poly silicon-gate electrode 15 of the gate polar zone 3 and 5, etc., for example, the RTA (Rapid Thermal Annealing) method, and heat treatment of about 10 secs are carried out.

[0024] Next, as shown in drawing 2 (d), by reduced pressure CVD, a silicon film, for example, a polysilicon contest film, is deposited about about 50nm of thickness, patterning of this polysilicon contest film is carried out after that, and the wrap polysilicon contest pad section 51 is formed for the element field surrounded in the isolation field 12 of the primitive cell section 50. In addition, the rim section of this polysilicon contest pad section 51 is taken as the position which enters on the isolation field 12 slightly.

[0025] Next, as shown in drawing 2 (e), using the high, the anisotropy plasma etching method, for example, an etching anisotropy is high, RIE method, etchback of the polysilicon contest pad section 51 is carried out, and the sidewall polysilicon contest film 52 which is a sidewall silicon film is formed in the lower part field on the gate polar zone 3 and the sidewall insulator layer 18 of five side attachment walls. The sidewall polysilicon contest film 52 shown in drawing 2 (e) is the case where

etchback of the polysilicon contest pad section 51 is performed on over etching conditions, if etchback in such over etching conditions is performed, the poly silicon-gate electrode 15 of the gate polar zone 3 and 5 will also \*\*\*\*\*, and a poly silicon-gate electrode 15 surface position will consist of a nose-of-cam position of the sidewall insulator layer 18 caudad.

[0026] In addition, you may perform as follows the sidewall polysilicon contest film 52 formation process mentioned above. First, a polysilicon contest film is deposited after the end of the process shown in drawing 1 (c). Etchback of the account polysilicon contest film of Gokami is carried out, and as shown in drawing 2 (e), the sidewall polysilicon contest film 52 which is a sidewall silicon film is formed in the lower part field on the gate polar zone 3 and the sidewall insulator layer 18 of five side attachment walls. Next, a photoresist is applied, patterning of this photoresist is carried out, a photoresist pattern which covers the element field surrounded in the isolation field 12 of the primitive cell section 50 is formed, and plasma etching etc. removes the sidewall polysilicon contest film 52 formed in the lower part field on the gate polar zone 3 on the isolation field 12, and the sidewall insulator layer 18 of five side attachment walls by using this photoresist pattern as a mask. Thus, even if it changes process sequence, the sidewall polysilicon contest film 52 can be formed in the lower part field on the gate polar zone 3 of only an element field as shown in drawing 2 (e), and the sidewall insulator layer 18 of five side attachment walls.

[0027] If etchback of the polysilicon contest pad section 51 in the over etching conditions mentioned above is carried out, the distance to the upper limit of the sidewall polysilicon contest film 52 will become long from poly silicon-gate electrode 15 front face of the gate polar zone 3 and 5. CoSi<sub>2</sub> which is the refractory-metal silicide film mentioned later when it is made this appearance It is CoSi<sub>2</sub> of the source drain sections 6, 7, and 8 in the case of the Salicide process which forms films 54, 55, 56, 57, and 58. CoSi<sub>2</sub> of films 54, 55, and 56 and the gate polar zone 3 and 5 The short pass which films 57 and 58 connect can be suppressed.

[0028] Next, as shown in drawing 2 (f), the high-melting point metal membrane 53, for example, Co film, is deposited about about 30nm of thickness by the sputtering method etc.

[0029] Next, as shown in drawing 3 (g), it is low-temperature heat treatment, N<sub>2</sub> [ for example, ], comparatively first. 500 degrees C by the RTA method in the inside of gas atmosphere and heat treatment of about 60 secs are carried out. One silicide-ized field formed with this heat treatment by source drain layer 19 front face of the source drain sections 6, 7, and 8, and the sidewall polysilicon contest film 52 of the lower part field on

the sidewall insulator layer 18, The silicon and Co of poly silicon-gate electrode 15 front face of the gate polar zone 3 and 5 react. CoSi<sub>2</sub> of the low-temperature formation state which is a refractory-metal silicide film on the portion of source drain layer 19 front face and the sidewall polysilicon contest film 52, and poly silicon-gate electrode 15 front face of the gate polar zone 3 and 5 A film is formed. CoSi<sub>2</sub> of this low-temperature formation state Low resistivity expected in membranous resistivity does not become, but it is still in the state of high resistivity.

[0030] Next, in heat treatment of the above-mentioned comparison-low temperature, sulfuric-acid filtered-water liquid removes the Co film 53 deposited on insulator layer and sidewall insulator layer in which isolation field 12 top and sidewall polysilicon contest film 52 to which it does not react are not formed 18 superiors, and the so-called unreacted Co film 53.

[0031] (Next, hot heat treatment, for example, N<sub>2</sub>, 800 degrees C by the RTA method in the inside of gas atmosphere and heat treatment of about 30 secs are carried out.) CoSi<sub>2</sub> of the low-temperature formation state formed in the lower part field of a sidewall insulator layer from source drain layer 19 front face by this hot heat treatment CoSi<sub>2</sub> of the low-temperature formation state of a film and poly silicon-gate electrode 15 front face CoSi<sub>2</sub> which serves as expected low resistivity in the state of elevated-temperature formation in a film Films 54, 55, and 56 and CoSi<sub>2</sub> It changes into films 57 and 58.

[0032] In the method 6, 7, and 8 mentioned above, i.e., the source drain sections, and the gate electrode sections 3 and 5 CoSi<sub>2</sub> of resistivity low on a self-adjustment target Films 54, 55, and 56 and CoSi<sub>2</sub> By forming an MOS transistor using the method of forming a film 57 and the refractory-metal silicide film of 58 grades, and the so-called Salicide method Reduction of diffusion layer resistance of the source drain layer 19 of the source drain sections 6, 7, and 8 and reduction of gate electrode resistance are aimed at, and the MOS transistor with the sufficient frequency characteristic is formed.

[0033] CoSi<sub>2</sub> in the source drain sections 6, 7, and 8 by the Salicide process mentioned above Since films 54, 55, and 56 are formed in the portion whose length of the direction where the width of face of a silicide-ized field is narrow is LS4, LS5, and LS6 which are shown in drawing 3 (g), the difficulty of the silicide film formation of low resistivity to the silicide-ized field where width of face is narrow is eased. For the reason mentioned above, the length of the direction of gate electrode length of the source drain sections 6, 7, and 8 of the primitive cell section 50 of the example of a gestalt of this operation It can short-\*\*\*\* from the length of the direction of gate electrode length of the source drain sections 6, 7, and 8 of the primitive cell section 1 of the conventional example, therefore the length L5 (refer to drawing 3 (g)) of the direction of gate electrode length of

the element field of the primitive cell section 50 can be made shorter than the length L1 (refer to drawing 8 (d)) of the conventional example.

[0034] Next, as shown in drawing 3 (h), the layer insulation films 25, such as BPSG (Boro-Phospho Silicate Glass), are deposited by CVD etc. Patterning of this layer insulation film 25 is carried out after that, and the openings 26, 27, and 28 of the contact hole of the source drain sections 6, 7, and 8 are formed. After that, although a drawing is omitted, by the process according to a conventional method, it is embedded at the openings 26, 27, and 28 of a contact hole, forms a plug, performs wiring formation between elements etc., deposition of a passivation film, opening formation in the pad section of wiring, etc. after that further, and produces a semiconductor device.

[0035] The outline plan of the primitive cell section 50 of the semiconductor device mentioned above was made to correspond with drawing 5 (a) used for explanation of the conventional technology, and drawing 4 (a) showed it. The length L5 of the direction of gate electrode length in the element field of this primitive cell section 50 The length L1 of the direction of gate electrode length in the conventional element field shown in drawing 5 (a) since low resistivity-ization of a silicide film became easy It can do short.

[0036] Moreover, although the linear gate electrode section 3 and the primitive cell section 50 of five configurations explained the semiconductor device mentioned above and its manufacture method What also in the case of the primitive cell section structure by the vent gate electrode where the gate electrode was crooked could produce the semiconductor device similarly, made it correspond with drawing 6 (a) which used the outline plan of the primitive cell section of the semiconductor device at this time for explanation of the conventional technology, and it was indicated that mentioned above is drawing 4 (b). The length L6 of the direction of gate electrode length in the element field of the primitive cell section by this vent gate electrode The length L3 of the direction of gate electrode length in the conventional element field shown in drawing 6 (a) since low resistivity-ization of a silicide film became easy when applying this invention It can do short.

[0037] furthermore, it is clear that the length corresponding to drawing 5 (b) and drawing 6 (b) which were used for the explanation of the conventional technology in the case of the primitive cell section by one MOS transistor which is the direction of gate electrode length in the element field in the primitive cell section of the semiconductor device which was adapted in this invention is also shorter than the conventional example, and it can do Moreover, when the primitive cell section composition by the vent gate electrode is taken in the conventional example, Resistance of the refractory-metal silicide film of the source drain layer front face which makes width of face of the

source drain section narrow to the minimum processing size grade becomes high in fields other than near the contact hole. Although the high-frequency-operation property by the factor of a refractory-metal silicide membrane resistance may have deteriorated and improvement in the speed of a semiconductor device may have fallen victim If this invention is applied, since the refractory-metal silicide film of low resistivity can be formed also in narrow source drain layer front faces other than near the contact hole Even if it takes the primitive cell section composition by the MOS transistor of a vent gate electrode, degradation of a high-frequency-operation property is suppressed and it becomes accelerable [ a semiconductor device ].

[0038] In the semiconductor device mentioned above and its manufacture method The sidewall polysilicon contest film 52 is formed in the lower part field on the gate electrode section 3 and the sidewall insulator layer 18 of five side attachment walls. This sidewall polysilicon contest film 52, It is CoSi<sub>2</sub> to the source drain sections 6, 7, and 8 considering the source drain layer 19 of the source drain sections 6, 7, and 8 as one silicide-ized field. In order to form films 54, 55, and 56, the phenomenon in which the low resistivity of the refractory-metal silicide film by reduction of a silicide-ized field, especially reduction with narrower width of face becomes difficult -- it can suppress -- CoSi<sub>2</sub> of low resistivity [ sections / source drain / 6, 7, and 8 ] Films 54, 55, and 56 can be formed. Moreover, if etchback of the polysilicon contest pad section 51 is carried out on over etching conditions in case the sidewall polysilicon contest film 52 is formed in the lower part field on the sidewall insulator layer 18 The poly silicon-gate electrode 15 surface position of the gate electrode sections 3 and 5 becomes a lower part from the nose-of-cam position of the sidewall insulator layer 18. In the case of the Salicide process, it is CoSi<sub>2</sub> of the source drain sections 6, 7, and 8. CoSi<sub>2</sub> of films 54, 55, and 56 and the gate electrode sections 3 and 5 The phenomenon which films 57 and 58 connect and short-circuit can be suppressed.

[0039] As mentioned above, although the example of a gestalt of operation explained this invention, this invention is not limited to the example of a gestalt of this operation at all. For example, although the N type MOS transistor explained the MOS transistor of the Salicide structure of the primitive cell section in the example of a gestalt of operation of this invention, it is clear that a P type MOS transistor may also be a CMOS type MOS transistor by the primitive cell section by one N type MOS transistor and the primitive cell section by one P type MOS transistor. Moreover, at the example of a gestalt of operation of this invention, it is Si<sub>3</sub>N<sub>4</sub> about a sidewall insulator layer. Although explained as a film, it is a TEOS (Tetraethyl orthosilicate) oxide film and CVDSiO<sub>2</sub>. You may be insulator layers, such as a film, a SiON film, and a SiOF film.



Furthermore, although the example of a gestalt of operation of this invention explained the silicon film formed in the lower part field on a sidewall insulator layer as a polysilicon contest film, you may be an amorphous silicon film.

[0040] Moreover, Co film is used for a high-melting point metal membrane in the example of a gestalt of operation of this invention, and it is a refractory-metal silicide film  $\text{CoSi}_2$  Although explained as a film, high-melting point metal membranes, such as nickel film and Ti film, are used, and it is a refractory-metal silicide film A NiSi film and  $\text{TiSi}_2$  It is good also as a film etc. In addition, process conditions can be suitably changed within the limits of the technical thought of this invention.

[0041]

[Effect of the Invention] The semiconductor device containing the MOS transistor of the Salicide structure of this invention, and its manufacture method so that clearly from the above explanation By forming a sidewall silicon film in the lower part field on the sidewall insulator layer of a gate polar-zone side attachment wall, and making this sidewall silicon film and a source drain layer front face into the silicide-ized field of the source drain section Since the width of face of a silicide-ized field can be expanded, even if it narrows source drain \*\*\*\* of the direction of gate electrode length, low resistivity-ization of the refractory-metal silicide film of the source drain section is attained. Moreover, the short pass which the refractory-metal silicide film of the gate polar zone and the refractory-metal silicide film of the source drain section in the Salicide process connect can be suppressed by making the anisotropy plasma etching conditions at the time of sidewall silicon film formation into over etching conditions. Therefore, low resistivity-ization of the refractory-metal silicide film of the narrow source drain section is enabled, and it becomes producible [ the semiconductor device accelerated by high accumulation ].

---

[Translation done.]